

(11)特許出願公開番号

特開平10-104576

(43)公開日 平成10年(1998)4月24日

|                          |       |       |
|--------------------------|-------|-------|
| (51)Int.Cl. <sup>a</sup> |       | 識別記号  |
| G 0 2 F                  | 1/133 | 5 5 0 |
|                          | 1/136 | 5 0 0 |
| G 0 9 G                  | 3/36  |       |
| H 0 4 N                  | 5/66  | 1 0 2 |

|         |       |         |
|---------|-------|---------|
| F I     |       |         |
| G 0 2 F | 1/133 | 5 5 0   |
|         | 1/136 | 5 0 0   |
| G 0 9 G | 3/36  |         |
| H 0 4 N | 5/66  | 1 0 2 B |

審査請求 未請求 請求項の数5 OL (全 8 頁)

(21)出願番号 特願平8-253578

(22)出願日 平成8年(1996)9月25日

(71)出國人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 發明者 鈴木幸治

神奈川県横浜市磯子区新磯子町33 株式会社東芝生産技術研究所内

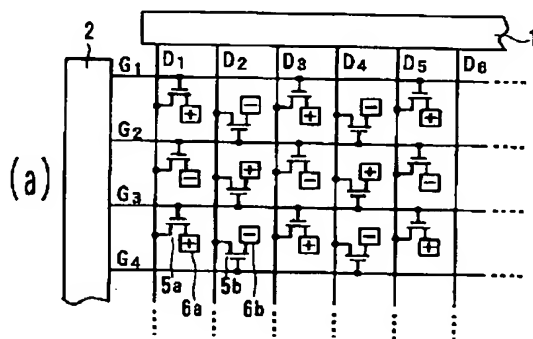
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

【課題】 ゲート線反転駆動とインターレース駆動を画質劣化を生じないで併用できるTFTアレイ構成を提供することにある。

【解決手段】 TFTと画素電極を画素毎に設置したアクティブマトリックス型液晶表示装置用TFTアレイにおいて、各ゲート線で制御されるTFTを介して接続される画素電極が、前記ゲート線に対して一定の周期で画面の上側および下側に配置した構成となっており、このTFTアレイをゲート線反転駆動法で動作させる手段を有する液晶表示装置を提供する。また、前記TFTアレイをインターレース駆動法で駆動する液晶表示装置、および液晶パネルを駆動するデータ線駆動回路に、前記一定周期に応じて、表示データを一時格納するためのメモリを有するデータ線駆動回路を有する液晶表示装置を提供する。



(b)

|      |                | フィールド番号        |                |                |                |                |                |                |                |                |                 |
|------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|
|      |                | F <sub>1</sub> | F <sub>2</sub> | F <sub>3</sub> | F <sub>4</sub> | F <sub>5</sub> | F <sub>6</sub> | F <sub>7</sub> | F <sub>8</sub> | F <sub>9</sub> | F <sub>10</sub> |
| シート表 | G <sub>1</sub> | +              | +              | +              | -              | -              | -              | +              | +              |                |                 |
|      | G <sub>2</sub> | +              | -              | -              | -              | +              | +              | +              | +              | -              |                 |
|      | G <sub>3</sub> | -              | +              | +              | +              | +              | +              | -              | -              | +              |                 |
|      | G <sub>4</sub> | +              | +              | +              | -              | -              | -              | +              | +              | +              |                 |
|      | G <sub>5</sub> | -              | -              | -              | +              | +              | +              | +              | +              | -              |                 |
|      | G <sub>6</sub> | -              | +              | +              | +              | +              | -              | -              | +              | +              |                 |
|      | G <sub>7</sub> | +              | +              | +              | -              | -              | +              | +              | +              | +              |                 |
|      | G <sub>8</sub> | -              | -              | +              | +              | +              | +              | +              | +              | +              |                 |
|      | G <sub>9</sub> | +              | +              | +              | -              | -              | -              | +              | +              | +              |                 |

## 【特許請求の範囲】

【請求項1】画像表示領域に複数行、複数列のマトリクス状に配置された画素電極と、この画素電極に接続され、映像信号の供給のスイッチングを行うスイッチング素子と、前記画像表示領域の前記行方向にほぼ平行して配線され、前記スイッチング素子の前記スイッチング動作を制御する複数のゲート線と、前記ゲート線とほぼ直交して配線され、前記スイッチング素子に前記映像信号を供給する複数のデータ線とを有するアレイ基板と、前記アレイ基板に対向して形成された電極を有する対向基板と、前記アレイ基板と前記対向基板との間に挟持された液晶層とを有する液晶表示装置において、前記画像表示領域で前記ゲート線の配線方向に並ぶ隣接した2行の前記画素電極のうち、一方の行と他方の行とに一定の画素数の周期で交互に位置する前記画素電極に接続された前記スイッチング素子の前記スイッチング動作が、同一の前記ゲート線によって制御されるようにした、液晶表示装置。

【請求項2】前記画像表示領域の前記行ごとに順次入力される前記映像信号を前記データ線のそれぞれに供給するデータ線走査回路と、前記映像信号を格納するメモリとを有し、前記同一のゲート線によりスイッチングが制御される前記スイッチング素子に接続された前記画素電極の配列状態に応じて、前記映像信号を前記メモリに一次格納することにより、行ごとに順次入力される前記映像信号を前記画像表示領域の対応する画素電極に供給するようにしたデータ線駆動回路を備える、請求項1記載の液晶表示装置。

【請求項3】請求項2記載の液晶表示装置の前記複数のゲート線のそれぞれに前記スイッチング素子の前記制御のための信号を順次供給し、前記制御のための信号が供給された前記ゲート線により制御される前記スイッチング素子に前記データ線を介して前記映像信号を供給する際に、前記複数のゲート線の1本毎に前記映像信号の電圧極性を反転することにより所定の画像を表示するようにした、液晶表示装置の駆動方法。

【請求項4】請求項2記載の液晶表示装置の前記画素電極への前記映像信号の書き込みを、所定数 $n$  ( $n \geq 2$ )を用いて表されるインターレース比 $n:1$ の条件のインターレース駆動法により行う、液晶表示装置の駆動方法。

【請求項5】前記所定数 $n$ が4以上の偶数であり、同一フィールドにおいては、前記映像信号を書き込むゲート線ごとに前記映像信号の電圧極性を交互に反転させ、所定数 $i$  ( $i \geq 0$ )および $n$ により指定される、第 $(1 + i \cdot n)$ フィールドから第 $(i + 1) \cdot n$ フィールドまでの間では、フィールドの最初にかき込むゲート線に対応した前記映像信号の電圧極性をフィールドごとに交互に反転させ、第 $(i + 1) \cdot n$ フィールドと第 $[(i + 1) \cdot n + 1]$ フ

ィールドの間では、それぞれのフィールドの最初に書き込むゲート線に対応した前記映像信号の電圧極性が同一であることを特徴とする、請求項4記載の液晶表示装置の駆動方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は液晶表示装置に関し、特にアクティブマトリクス型液晶表示装置のTFTアレイの構成およびその駆動法に関する。

## 【0002】

【従来の技術】液晶表示装置は、薄型で軽量であり、低電圧駆動が可能で、更にカラー化も容易である等の特長を有するために、近年、パーソナルコンピュータやワープロなどの表示装置として利用されている。その中でも、各画素毎にスイッチング素子として薄膜トランジスタ(Thin Film Transistor; 以下「TFT」と略す。)を採用した、いわゆるアクティブマトリクス型液晶表示装置は、画素数を増やしてもコントラストやレスポンス等の劣化が生じにくく、更に中間調表示も可能であることから、フルカラーテレビや、OA機器用の表示装置として最適である。

【0003】このアクティブマトリクス型液晶表示装置は、アレイ基板(アクティブマトリクス基板)および対向基板と称される2枚の平面ガラス基板の間に液晶層を挟んだ構造を有している。対向基板には、各画素に対応したカラーフィルターと、透明電極(対向電極)とが形成されている。アレイ基板には、マトリクス状に配列された透明電極からなる画素電極と、各画素電極にそのソース電極が接続されたTFTが設けられている。TFTのゲート電極はアレイ基板上でX方向に配線されたアドレス線に接続され、また、ドレイン電極はアドレス線と直角方向に配線されたデータ線に接続されている。

【0004】このように構成された液晶表示装置では、所定のタイミングでアドレス線、データ線にアドレス信号、データ信号をそれぞれ印加することにより、各画素の表示に対応した電圧を各画素電極に印加することができ、液晶層の配向、即ち、光透過率は、対向電極と画素電極との間の電位差によって制御することができ、これにより任意の表示が可能となる。このような液晶表示の原理の詳細はT. P. Brodyらの文献(IEEE Trans. on Electron. Devices, Vol. ED-20, Nov., 1973, pp.995-1001)に述べられている。

【0005】図4は従来のアクティブマトリクス型液晶表示装置の概略構成を示す構成図である。図4においては、各画素に対応する画素電極6が $m$ 行 $\times$  $n$ 列のマトリクス状に配設されており、同一行の画素電極に対応してゲート線 $G1 \cdots Gm$ 、同一列の画素電極に対応してデータ線 $D1, D2 \cdots Dn$ が設けられている。ゲート線とデータ線の交点には、TFT5、5、 $\cdots$ が配置され、それぞれ画素電極6、6、 $\cdots$ に接続され

ている。すなわち、各TFT5は、そのソースが対応する各画素電極6に接続され、そのドレインが対応するデータ線Di ( $1 \leq i \leq n$ )に接続され、そのゲートが対応するゲート線Gj ( $1 \leq j \leq m$ )にそれぞれ接続されている。

【0006】データ線D1, D2...Dnはデータ線駆動回路101により制御され、ゲート線G1...Gmはゲート線駆動回路102により制御される。すなわち、映像信号は、データ線駆動回路1から各データ線Diを経由して、各TFT5のドレインに供給される。一方、各TFTのスイッチングを行う駆動信号は、ゲート線駆動回路2から各ゲート線Gjを経由して、各TFT5に供給される。そして、ゲートがオンとされたTFT5では、映像信号が、ドレインからゲートを介してソースに接続されている画素電極6に供給され、対向電極8 (com)との間で液晶層7に印加される。

【0007】各画素電極6に、それぞれ所定の映像信号電圧を印加するには、線順次方式により駆動をする。しかし、この際に、液晶層7の物性に起因した理由から、その信頼性を確保するために液晶層7を交流駆動する必要がある。すなわち、各画素は、例えば、液晶層7に電圧が印加されない時は光を透過し、所定の絶対値を有する正または負の電圧が印加されると光を遮断することができる。従って、フィールド毎に映像信号電圧の極性を反転して、交流駆動することができる。そして、ことような交流駆動をすることにより、液晶材料の電気的な劣化を抑制し、寿命をのばすことができる。

【0008】しかし、この交流駆動に伴ってフリッカ、すなわち、画面のちらつきが生ずる。そして、このフリッカを最小にするために、データ線反転駆動法やゲート線反転駆動法などの駆動方式が必要とされる。これらの駆動方式のうちで、ゲート線反転駆動法によれば、データ線駆動回路に低電圧型のICを採用できるために、コストの面で有利であり、多くの液晶表示装置において採用されている。

【0009】したがって、以下では、このゲート線反転駆動法について説明する。

【0010】図5は、ゲート線反転駆動法の駆動タイミングを示すタイミングチャート図である。まず、同図(a)に示したように、ゲート線G1, G2, G3, ...には、順次、TFTをオンさせる選択パルスVghが印加される。そして、これと同期して、同図(b)に示したように、各データ線D1, D2, D3, ...には、VdhとVdlとが交互に印加される。すなわち、G1がオン状態のときは、D1にはVdh (液晶印加電圧の極性は正) が印加され、次に、G2がオン状態になると、D2にはVdl (液晶印加電圧の極性は負) が印加される。さらに、これと同期して、同図(c)に示したように、対向電極comには、Vcom1とVcomhが交互に印加される。

【0011】この結果として、液晶層に印加される電圧は、同図(d)に示したように、ゲート線G1に対応した行の画素では $VLC_h = Vdh - Vcom1 (> 0)$ となり、ゲート線G2に対応した行の画素では $VLC_1 = Vdl - Vcomh (< 0)$ となる。すなわち、液晶層に印加される正電圧VLC\_hと負電圧VLC\_1の間の電圧振幅は、データ線信号電圧Vdと対向電極電圧Vcomの振幅の和となる。したがって、対向電極電圧Vcomの振幅を大きく設定すれば、データ線信号電圧Vdの振幅が小さくても、液晶層に十分な電圧を印加することができる。つまり、データ線駆動回路1に用いるICが低出力電圧型のものであっても表示を行うことができる。

【0012】図4の表示電極6に示した+/-記号は、液晶層の印加電圧の極性を示すもので、前述したゲート線反転駆動法では、図の如くゲート線の一本おきに極性が+/-と反転している。これにより、通常の60Hzノンインターレース駆動時のフリッカを抑止することが可能である。なお、図4に示した各画素電極の電圧極性は次のフィールドでは反転し、液晶層が交流駆動されるようにしている。

【0013】以上、説明したように、ゲート線反転駆動法は、液晶層の信頼性を確保するために交流駆動しつつ、画面のフリッカを抑止するために採用されるものである。

【0014】一方、別の観点から見た場合に、液晶表示装置の消費電力を低減するための駆動方法として、インターレース駆動法がある。以下に、このインターレース駆動法について説明する。

【0015】図6は3:1のインターレース駆動法を説明するための説明図である。同図は、ゲート線G1~G8のそれぞれについて、フィールド毎の映像信号電圧の極性を表したものである。同図において、○印で囲まれた+/-記号は、各ゲート線上の画素電極へ、映像信号(+極性/-極性)が書き込まれることを示す。また、○印がない+/-記号は映像信号が保持されている状態を示す。例えば、ゲート線G1が書き込み状態に接続されるのはフィールド番号で1, 4, 7, 10, ...である。そして、そのフィールド毎に+電圧と-電圧が交互に書き込まれることにより、交流駆動が実現されている。また、フィールド番号1で選択されるゲート線はG1, G4, G7, ...のみである。そして、そのゲート線毎に+電圧と-電圧が交互に書き込まれる。すなわち、各フィールドで、映像信号の書き込みがされるゲート線の本数は、全ゲート線のうちの1/3である。

【0016】このようなインターレース駆動法では、フィールド毎に1/3の画素のみの書き込みを行うため、周辺駆動回路で処理すべきデータ量が1/3に低減できる。従って、周辺駆動回路の消費電力を大幅に低減できる利点がある。

## 【0017】

【発明が解決しようとする課題】しかし、このようなインターレース駆動法と、前述したゲート線反転駆動法を単純に組み合わせると、表示画面に妨害縞が視認されることがある。この妨害縞の発生の機構を図6を用いて具体的に説明する。

【0018】図6では、前述したように、各ゲート線ごとの信号電圧の極性が示されている。そして、信号電圧は各極性ごとに、書き込まれてから、一定の時間、保持される。しかし、現実には、信号のリークにより、保持されている間に信号電圧は徐々に低下する。そして、極性を反転して次の信号電圧を書き込む時、すなわち、同図において+から-、または、-から+に極性が反転する時には、液晶層の光透過率が変化する。すなわち、ゲート線上の各画素に新たな映像信号電圧が供給され、その電圧に対応するコントラストに瞬間に変化する。そして、そのようなゲート線毎のライン状のコントラストの変化は、ゲート線の走査の周波数に応じて、画面上で妨害縞として視認される場合がある。

【0019】例えば、図6において、斜め方向に示した破線は、各ゲート線の信号電圧が書き込まれる瞬間を一定の周期でつなげたものである。すなわち、破線111aは、信号電圧が-から+に反転する瞬間をつなげたものである。また、破線111bは、信号電圧が+から-に反転する瞬間をつなげたものである。フィールドすなわち、時間の進行とともに、これらの直線の上を辿ると、信号の書き込みは3フィールド毎に、3ラインづつ図中の上方に移動して生じていることがわかる。つまり、信号の書き込みに伴うライン状のコントラストの変化が、フィールドの進行とともに表示画面上で上方に向けて次々と発生し、その周波数が視認できる程度まで低下する場合がある。このような場合に、画面に妨害縞が表れる。なお、通常は、人間の眼の残像効果を考慮すると、60Hzを下回る周波数ではこのような妨害縞が視認できるとされている。

【0020】図6に示した破線111a、111bは、このような妨害縞を生ずる周期の一例である。そして、同図には、これ以外の周期を有する妨害縞も存在する。

【0021】以上、説明したように、消費電力の低減の点で有利なインターレース駆動法をゲート線反転駆動法と組み合わせると、画質の劣化が発生するという問題があった。そのために、ローコストで消費電力の低い液晶表示装置を提供することが困難であるという問題があった。

【0022】本発明は、かかる上記事情に鑑みてなされたものである。すなわち、その目的とするところは、妨害縞などの画質劣化を生ずることなく、低電圧ICによるゲート線反転駆動と、低消費電力駆動を可能とするインターレース駆動を実現できる液晶表示装置およびその駆動方法を提供することにある。

## 【0023】

【課題を解決するための手段】すなわち、本発明による液晶表示装置は、画像表示領域に複数行、複数列のマトリックス状に配置された画素電極と、この画素電極に接続され、映像信号の供給のスイッチングを行うスイッチング素子と、前記画像表示領域の前記行方向にほぼ平行して配線され、前記スイッチング素子の前記スイッチング動作を制御する複数のゲート線と、前記ゲート線とほぼ直交して配線され、前記スイッチング素子に前記映像信号を供給する複数のデータ線とを有するアレイ基板と、前記アレイ基板に対向して形成された電極を有する対向基板と、前記アレイ基板と前記対向基板との間に挟持された液晶層とを有する液晶表示装置において、前記画像表示領域で前記ゲート線の配線方向に並ぶ隣接した2行の前記画素電極のうち、一方の行と他方の行とに一定の画素数の周期で交互に位置する前記画素電極に接続された前記スイッチング素子の前記スイッチング動作が、同一の前記ゲート線によって制御されるようにしたものとして構成される。

【0024】また、前記画像表示領域の前記行ごとに順次入力される前記映像信号を前記データ線のそれぞれに供給するデータ線走査回路と、前記映像信号を格納するメモリとを有し、前記同一のゲート線によりスイッチングが制御される前記スイッチング素子に接続された前記画素電極の配列状態に応じて、前記映像信号を前記メモリに一次格納することにより、行ごとに順次入力される前記映像信号を前記画像表示領域の対応する画素電極に供給するようにしたデータ線駆動回路を備えるものとして構成される。

【0025】また、本発明による液晶表示装置の駆動方法は、上記の液晶表示装置の前記複数のゲート線のそれぞれに前記スイッチング素子の前記制御のための信号を順次供給し、前記制御のための信号が供給された前記ゲート線により制御される前記スイッチング素子に前記データ線を介して前記映像信号を供給する際に、前記複数のゲート線の1本毎に前記映像信号の電圧極性を反転することにより所定の画像を表示するようにしたものとして構成される。

【0026】また、上記の液晶表示装置の前記画素電極への前記映像信号の書き込みを、所定数 $n$  ( $n \geq 2$ )を用いて表されるインターレース比 $n:1$ の条件のインターレース駆動法により行うものとして構成される。

【0027】また、前記所定数 $n$ が4以上の偶数であり、同一フィールドにおいては、前記映像信号を書き込むゲート線ごとに前記映像信号の電圧極性を交互に反転させ、所定数 $i$  ( $i \geq 0$ ) および $n$ により指定される、第 $(1+i \cdot n)$ フィールドから第 $(i+1) \cdot n$ フィールドまでの間では、フィールドの最初にかき込むゲート線に対応した前記映像信号の電圧極性をフィールドごとに交互に反転させ、第 $(i+1) \cdot n$ フィールドと第 $[i$

+1) n+1] フィールドの間では、それぞれのフィールドの最初にかき込むゲート線に対応した前記映像信号の電圧極性が同一であることを特徴とするものとして構成される。

【0028】

【発明の実施の形態】本発明によれば、液晶を駆動するTFTおよび画素電極をゲート線を挟んで平面的に上下に散らばるように配置することによって、妨害縞の発生を視認できない液晶表示装置を提供することができる。そして、表示品位を劣化させることなく、ゲート線反転駆動法とインターレース駆動法を組み合わせることができる。すなわち、本発明による液晶表示装置では、ゲート線毎に映像信号を書き換える際に、連続した1行でなく、2行に分散して書き換えを行う。従って、映像信号の書き換えの際のコントラストの変化が、弱くなり、妨害縞が抑制される。本発明では、このような画素電極の配列を実現するために、ゲート線からTFTを介して制御される画素電極を、平面的に前記ゲート線を軸として相反する位置に配置している。

【0029】以下、図面を参照しながら本発明の実施の形態について説明する。

【0030】図1(a)、(b)は、それぞれ、本発明による液晶表示装置のアレイ基板上の配置を表す概略構成図、および、その4:1インターレース駆動時の画素電極の電位を表す概念図である。同図(a)に示したアレイ基板では、各画素はTFT5a、5b、・・・と、画素電極6a、6b、・・・とから構成されている。データ線D1、D2、・・・はデータ線駆動回路1に接続され、ゲート線G1、G2、・・・はゲート線駆動回路2に接続されている。ここで、各TFTおよび画素電極は、同図(a)に示したようにゲート線G1、G2、・・・を軸として1画素ごとにその下側、上側に交互に配置されている。従って、このようなTFTアレイにおいてゲート線反転駆動法を実施すると、各画素の液晶駆動電圧の極性は、同図(a)に示したように、ゲート線方向に正極性と負極性の画素が交互に配置されることとなる。このような、TFTおよび画素電極の配置は、従来の製造工程を変更することなく、フォトリソグラフィ工程のフォトマスクを変更するだけで製造することができる。

【0031】このようにTFTおよび画素電極を配置したことにより、ゲート線毎に、同時に書き込みが行われる画素により形成される空間周波数は、従来よりもはるかに高くなる。すなわち、図4に示したような従来の構成では、ゲート線に沿った1行の画素電極が同時に書き込まれる。従って、その連続した1行の画素の配列の周期は、表示画面の横幅に等しく、容易に視認できる。また、その配列の空間周波数はゼロに等しいといえる。

【0032】しかし、図1(a)に示した構成では、ゲート線毎に同時に書き込みが行われる画素は、ゲート線

の上下に交互に配置されている。すなわち、それらの画素は、画素単位で交互に配置され、その配列の周期は通常の条件では視認できない。つまり、その空間周波数が高くなったために、人間の眼の空間分解能を超えて、視認限界以下となったことがわかる。

【0033】その結果として、交流駆動法を含めたゲート線反転駆動法を実施した時に、各ゲート線毎に極性を反転しても、ライン全体としてのコントラストの変化が視認されなくなる。従って、高い比率のインターレース駆動法を組み合わせても、図6において説明したような、妨害縞は視認されなくなる。

【0034】例えば、図1(b)に、4:1のインターレース駆動時のあるデータラインにおけるゲート線GからG9までの画素電極の電位を示す。図中の丸記号はTFTを介して表示信号電圧が画素電極に書き込まれるタイミングを示す。図6に示す3:1の奇数フィールド毎の書き換えよりも妨害縞の視認性は、空間的に改善されるとともに、本発明の同一行に配列された画素電極電位の極性が、同じ行の隣接画素毎に反転しているので妨害縞は全く視認されない。

【0035】このように、本発明による液晶表示装置では、従来のようにゲート線方向の1ライン上に同極性の画素が連続して並ぶという状況がなくなり、妨害縞の視認性は大幅に低減されることとなる。特に、ゲート線方向の正極と負極の配列の空間周波数が高くなるように配置すれば、妨害縞を完全に視認できない状態にすることが可能となる。これにより、価格を低減できる低電圧型の駆動用ICを用いることができるゲート線反転駆動法と、消費電力を低減できるインターレース駆動法とを、画質を劣化させることなく同時に実施できるようになる。しかも、このTFTアレイの構成は、特別な製造工程を追加することなく実現できる特徴がある。

【0036】次に、この液晶表示装置のデータ線駆動回路について説明する。

【0037】図2は、図1に示したTFTアレイに対するデータ線駆動回路の一例を示す概略構成図である。図1では、画素電極P(i, j)(ここで、i, jは画素の座標を示し、iはゲート線方向、jはデータ線方向の座標にそれぞれ対応する。)とP(i+1, j+1)が、ゲート線Gi+1により同時に液晶駆動電圧が書き込まれる。つまり、ゲート線は、その上下の2つの行の画素を同時に制御する。しかし、通常、外部から液晶表示装置に供給される映像データは、各画素の映像信号を行ごとに連続して並べたものである場合が多い。従って、図1に示した構成を有するTFTアレイに、このような映像信号を供給する場合には、データ線1本おきに映像信号を一旦メモリに格納し、次のゲート線について映像信号を供給するときに、同時にそのメモリから格納された映像信号を供給する必要がある。図2に示したデータ線駆動回路には、そのようなメモリとしてラッチ回

路L1、L2A、・・・が配置されている。

【0038】同図に示した回路構成の作用を簡単に説明すると以下になる。すなわち、データ線走査回路11からi行目の映像信号が各データ線D1、D2、・・・に供給された瞬間を想定すると、この時には、同図のラッチ回路L2BとL4Bには、(i-1)行目の映像データが格納されている。そして、データ線駆動回路11から新たに供給されたi行目の各画素の映像信号は、ラッチ回路L1、L2A、L3、L4A、・・・にそれぞれ格納される。そして、図示しないi番目のゲート線がオンになった時に、各ラッチ回路L1、L2B、L3、L4B、L5、・・・に格納されている各映像信号は、D/A変換器14、14、・・・によりそれぞれアナログ信号に変換され、データ線D1、D2、・・・を介してi番目のゲート線に接続されている各TFTに供給される。すなわち、(i、1)、(i-1、2)、(i、3)、(i-1、4)、(i、5)、・・・の各画素にそれぞれ映像信号が供給される。

【0039】続いて、ラッチ回路L2A、L4A、・・・に格納されている映像信号は、それぞれラッチ回路L2B、L4B、・・・に転送され、再び格納される。

【0040】次に、データ線走査回路11から、(i+1)行目の映像信号が各ラッチ回路L1、L2A、L3、L4A、L5、・・・に供給され、格納される。そして、図示しない(i+1)番目のゲート線がオンになった時に、ラッチ回路L1、L2B、L3、L4B、L5、・・・に格納されている各映像信号が、D/A変換器14、14、・・・を介して、そのゲート線に接続されている各画素に供給される。すなわち、(i+1)番目のゲート線がオンになった時に、(i+1、1)、(i、2)、(i+1、3)、(i、4)、(i+1、5)、・・・の各画素にそれぞれ映像信号が供給される。

【0041】すなわち、画面のi行上の各画素について説明すると、(i、1)、(i、3)、(i、5)の各画素は、i番目のゲート線がオンになった時にそれぞれ映像信号が書き込まれる。また、(i、2)、(i、4)の各画素は、(i+1)番目のゲート線がオンになった時にそれぞれ映像信号が書き込まれる。

【0042】以上、説明したように、本発明によるデータ線駆動回路では、外部から各行毎に送られてくる映像信号をTFTの配列に応じて、遅延して各ゲート線上の画素に供給することができる。このようにして、図1に示すTFTアレイでも所望の画像を表示することが可能となる。次に、本発明による液晶表示装置の変形例について説明する。図3は、本発明による液晶表示装置の変形例を表す概略構成図である。

【0043】同図に示した液晶表示装置においても、図1に示したものと同様に、データ線駆動回路31に接続されたデータ線D1、D2、・・・と、ゲート線駆動回

路32に接続されたゲート線G1、G2、・・・とを有する。そして、それらの交差点付近には、各画素に対応するTFT5A、5A、・・・または5B、5B、・・・を有する。それぞれのTFTのドレイン側には、画素電極6A、6A、・・・または6B、6B、・・・が接続されている。そして、各画素TFTは、ゲート線方向に沿って3画素周期で交互に接続されている。例えばゲート線G3について説明すると、1列目から3列目までは、ゲート線の下側、すなわち3行目のTFT5A、5A、5Aが接続されている。そして、4列目から6列目までは、ゲート線の上側、すなわち2行目のTFT5B、5B、5Bが接続されている。このように、各ゲート線には、それぞれ3画素ごとに上下の画素TFTが交互に接続されている。このTFTアレイは、縦ストライプ型のカラー液晶表示装置に適合するものである。すなわち、光の3原色である赤、緑、青に対応する各画素を、縦横比が3:1のような縦長の画素として、3画素で一つのカラー表示を行う表示装置に適合するものである。

【0044】図3に示した配列では、ゲート線毎に同時に映像信号が書き込まれる画素の配置の空間周波数は、図1に示した配列の場合の1/3となり劣化する。しかし、図4に示したような従来の配列と比較すれば、はるかに高い空間周波数を有している。すなわち、各ゲート線毎の信号の書き込みに際して発生するコントラストの変化は視認限界以下である。従って、ゲート線反転駆動法とインターレース駆動法を併用しても、妨害縞は全く視認されない。

【0045】なお、図示しないが、図3に示したTFTアレイを駆動するためのデータ線駆動回路には、図2においてデータ線D1およびD2として示したような、1つのラッチ回路を有するデータ線と、2つのラッチ回路を直列に有するデータ線とが3本周期で配列することとなる。

【0046】また、本発明は上述した実施の形態に限定されるものではない。本発明の他の実施の形態としては、例えば、ゲート線に沿って、任意の数nの周期で、そのゲート線の上下の画素TFTがそのゲート線に交互に接続されているような配列を有する液晶表示装置が挙げられる。また、そのような配列を有する液晶表示装置のデータ線駆動回路は、図2にD1およびD2として示したような、ラッチ回路を1つ有するデータ線と2つ有するデータ線とが、数nの周期で配列する構成となる。

【0047】さらに、本発明の他の実施の形態として、ゲート電極の上下に分散して接続される画素TFTの配列の周期が一定でないようなものが挙げられる。

【0048】

【発明の効果】本発明によれば、低電圧駆動ICを利用できるゲート線反転駆動で、低消費電力駆動が可能なインターレース駆動を、妨害縞などの画質劣化を発生する

ことなく実現できる。これにより、低価格で消費電力の少ない液晶表示装置を実現することが可能となった。さらに、データ線駆動回路に画素電極の正極性と負極性の周期に応じて、データを一時格納するメモリを配置することにより、正常な画像を表示することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置のアレイ基板上的の配置を表す概略構成図およびその4:1インターレース駆動時の画素電極の電位を表す概念図である。

【図2】図1に示したTFTアレイに対するデータ線駆動回路の一例を示す概略構成図である。

【図3】本発明による液晶表示装置の変形例を表す概略構成図である。

【図4】従来のアクティブマトリックス型液晶表示装置の概略構成を示す構成図である。

【図5】ゲート線駆動法の駆動タイミングを表すタイミングチャート図である。

【図6】3:1のインターレース駆動法を説明するための概念図である。

【符号の説明】

1、11、31、101 データ線駆動回路

2、32、102 ゲート線駆動回路

G1、G2 ゲート線

D1、D2 データ線

5、5A、5B、5a、5b TFT

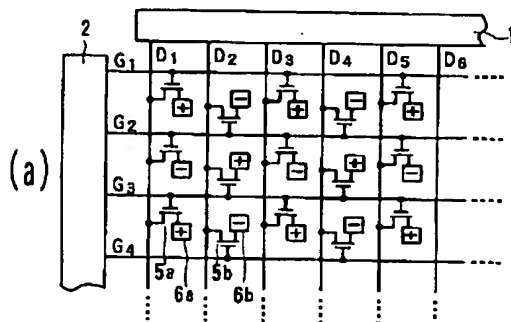
6、6A、6B、6a、6b 画素電極

7 液晶層

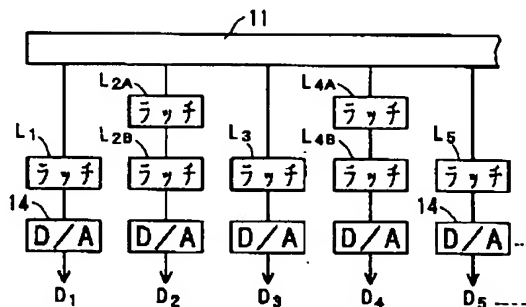
8 対向電極

14 DAコンバータ

【図1】



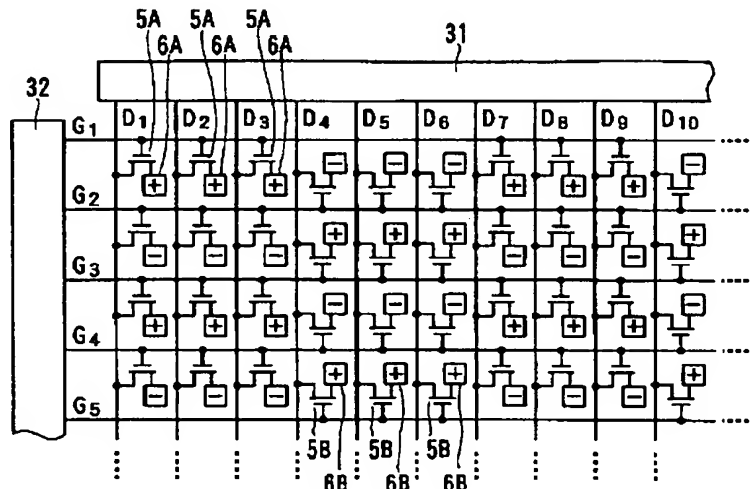
【図2】



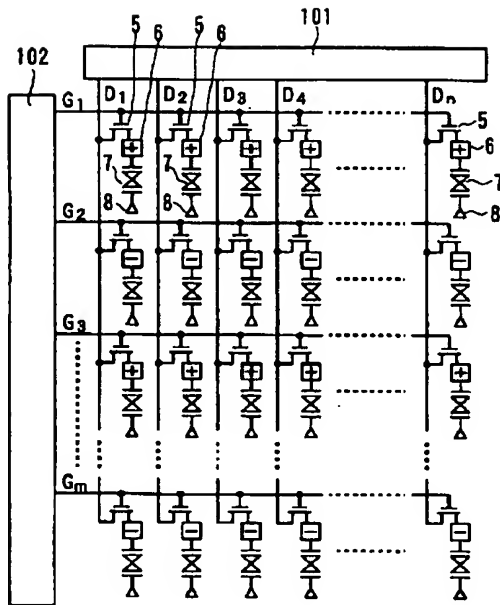
(b)

|      |     | フィールド番号 |    |    |    |    |    |    |    |    |     |     |     |     |     |
|------|-----|---------|----|----|----|----|----|----|----|----|-----|-----|-----|-----|-----|
|      |     | F1      | F2 | F3 | F4 | F5 | F6 | F7 | F8 | F9 | F10 | F11 | F12 | F13 | F14 |
| ゲート線 | G1  | +       | +  | +  | +  | +  | +  | +  | +  | +  | +   | +   | +   | +   | +   |
|      | G2  | +       | +  | +  | +  | +  | +  | +  | +  | +  | +   | +   | +   | +   | +   |
|      | G3  | -       | -  | -  | -  | -  | -  | -  | -  | -  | -   | -   | -   | -   | -   |
|      | G4  | +       | +  | +  | +  | +  | +  | +  | +  | +  | +   | +   | +   | +   | +   |
|      | G5  | -       | -  | -  | -  | -  | -  | -  | -  | -  | -   | -   | -   | -   | -   |
|      | G6  | +       | +  | +  | +  | +  | +  | +  | +  | +  | +   | +   | +   | +   | +   |
|      | G7  | -       | -  | -  | -  | -  | -  | -  | -  | -  | -   | -   | -   | -   | -   |
|      | G8  | +       | +  | +  | +  | +  | +  | +  | +  | +  | +   | +   | +   | +   | +   |
|      | G9  | -       | -  | -  | -  | -  | -  | -  | -  | -  | -   | -   | -   | -   | -   |
|      | G10 | +       | +  | +  | +  | +  | +  | +  | +  | +  | +   | +   | +   | +   | +   |

【図3】



【図4】



【図6】

時間 →

|      |                | フィールド番号        |                |                |                |                |                |                |                |                |                 |
|------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|-----------------|
|      |                | F <sub>1</sub> | F <sub>2</sub> | F <sub>3</sub> | F <sub>4</sub> | F <sub>5</sub> | F <sub>6</sub> | F <sub>7</sub> | F <sub>8</sub> | F <sub>9</sub> | F <sub>10</sub> |
| ゲート線 | G <sub>1</sub> | ⊕              | +              | +              | ⊖              | -              | -              | ⊕              | +              | +              | ⊖               |
|      | G <sub>2</sub> | +              | ⊖              | -              | -              | ⊕              | +              | +              | ⊖              | -              | -               |
|      | G <sub>3</sub> | -              | -              | ⊕              | +              | +              | ⊖              | -              | -              | ⊕              | +               |
|      | G <sub>4</sub> | ⊖              | -              | -              | ⊕              | +              | +              | ⊖              | -              | -              | ⊕               |
|      | G <sub>5</sub> | -              | ⊕              | +              | ⊖              | -              | -              | ⊕              | +              | +              | +               |
|      | G <sub>6</sub> | +              | +              | ⊖              | -              | -              | ⊕              | +              | +              | ⊖              | -               |
|      | G <sub>7</sub> | ⊕              | +              | +              | ⊖              | -              | -              | ⊕              | +              | +              | ⊕               |
|      | G <sub>8</sub> | +              | ⊖              | -              | -              | ⊕              | +              | +              | ⊖              | -              | -               |

111a      111b

【図5】

